

(b)

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, DEVICE AND METHOD FOR TESTING SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Patent Number: JP11238400
Publication date: 1999-08-31
Inventor(s): OTANI JUN; HAMADA MITSUHIRO; NOZAKI SHIGERU
Applicant(s): MITSUBISHI ELECTRIC CORP
Requested Patent: ☐ JP11238400
Application Number: JP19980041975 19980224
Priority Number(s):
IPC Classification: G11C29/00; G11C29/00; G01R31/28
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit device having an inexpensive and efficient self-test function for a built-in memory.

SOLUTION: This semiconductor integrated circuit device 10 tests a defective bit of an incorporated memory 14 by an incorporated memory test circuit 12 in accordance with control from a general purpose tester 100. The incorporated memory test circuit 12 writes data having the prescribed value for an address corresponding to an external memory 16 whenever a defective bit in the incorporated memory 14 is detected. The general purpose tester 100 analyzes a defective address of the incorporated memory 14 based on data mapped in the external memory 16.

Data supplied from the esp@cenet database - I2

[SCOPE OF CLAIM]

[Claim 1]

A semiconductor integrated circuit device comprising:

an internal data memory means;

said internal data memory means comprising:

a memory cell array including a plurality of memory cells arranged in a matrix, each of said memory cells holding data;

a data input/output controlling means for exchanging stored data with a memory cell selected according to an internal address signal; and

an internal test controlling means for performing an operation test on said internal memory means according to a control signal and an external clock signal from the outside of said semiconductor integrated circuit device;

said internal test controlling means determining whether each of said memory cells is good or faulty according to a result of writing and reading-out of predetermined data into and from a relevant memory cell while successively changing said internal address, and outputting, to an external memory device of said semiconductor integrated circuit device, said internal address signal and a writing control signal to said external memory device according to said result of determination.

[Claim 2]

A semiconductor integrated circuit device according to claim 1, wherein said internal test controlling means comprises:

a control logical signal generating means for controlling the operation test on said internal memory means;

a test pattern storing means for holding a pattern of said predetermined data;

a timing generating means for generating an internal clock for controlling a timing of said operation test;

a determining means for outputting determination data corresponding to a result of comparison of data read out from said internal memory means with an expected value; and

an external memory controlling means for controlling an internal address signal to and a writing operation of said determination data in said memory device according to said determination data.

[Claim 3]

A testing apparatus comprising:

a signal receiving means for receiving a control signal and an external clock signal from the outside;

a semiconductor integrated circuit device to be tested receiving signals from said signal receiving

means;

a memory device controlled by said semiconductor integrated circuit device to hold data from said semiconductor integrated circuit device;

said semiconductor integrated circuit device comprising:

an internal data memory means;

said internal data memory means comprising:

a memory cell array including a plurality of memory cells arranged in a matrix, each of said memory cells holding data;

a data input/output controlling means for exchanging stored data with a memory cell selected according to an internal address signal;

an internal test controlling means for performing an operation test on said internal memory means according to the control signal and the external clock signal from said signal receiving means;

said internal test controlling means determining whether each of said memory cells is good or faulty according to a result of writing and reading-out of predetermined data into and from a relevant memory cell while successively changing said internal address, and outputting, to said memory device, said internal address signal and a writing control signal to said memory device according to a

result of said determination.

[Claim 4]

A method of testing a semiconductor integrated circuit device having a function of a built-in self test on an incorporated internal memory, comprising the steps of:

- a step of setting data in a predetermined address area in an external memory device to a first value;

- a step of instructing said semiconductor integrated circuit device to start said built-in self test;

- a step of causing said semiconductor integrated circuit device to make said built-in self test, and rewriting data at a relevant address in said external memory device from said first value to a second value differing from said first value according to a result of determination of whether a bit is good or faulty in said internal memory; and

- a step of analyzing data held in said external memory device to analyze distribution of faulty bits in said internal memory.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-238400

(43) 公開日 平成11年(1999) 8月31日

(51) Int.Cl. ⁸	識別記号	F I	
G 1 1 C 29/00	6 7 5	G 1 1 C 29/00	6 7 5 L
	6 7 1		6 7 1 B
G 0 1 R 31/28		G 0 1 R 31/28	B

審査請求 未請求 請求項の数4 O L (全 12 頁)

(21) 出願番号 特願平10-41975

(22) 出願日 平成10年(1998) 2月24日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 大谷 順

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 浜田 光洋

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 野崎 滋

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

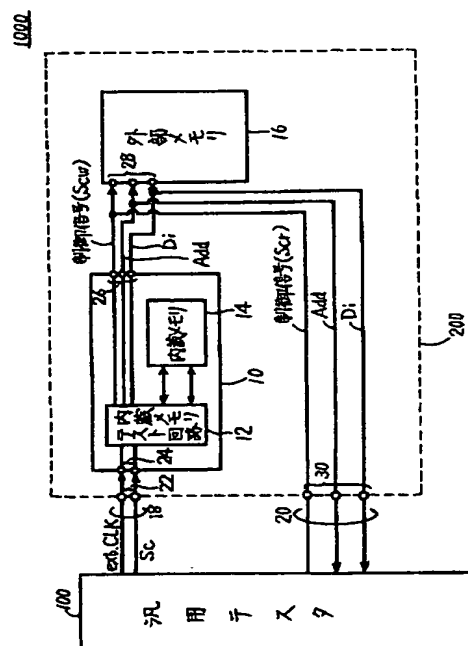
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体集積回路装置、半導体集積回路装置のテスト装置およびテスト方法

(57) 【要約】

【課題】 安価で、かつ効率のよい内蔵メモリの自己テスト機能を有する半導体集積回路装置を提供する。

【解決手段】 半導体集積回路装置10は、汎用テスト100からの制御に応じて、内蔵メモリテスト回路12により、内蔵メモリ14の不良ビットのテストを行なう。内蔵メモリテスト回路12は、内蔵メモリ14中の不良ビットが検出されるごとに、外部メモリ16の対応するアドレスに対して、所定の値のデータの書込を行なう。汎用テスト100は、外部メモリ16中にマッピングされたデータに基づいて、内蔵メモリ14の不良アドレス解析を行なう。



【特許請求の範囲】

【請求項1】 半導体集積回路装置であって、
内部データ記憶手段を備え、
前記内部データ記憶手段は、
各々がデータを保持する行列状に配列された複数のメモリセルを含むメモリセルアレイと、
内部アドレス信号に応じて選択されたメモリセルとの間で、記憶データの授受を行なうデータ入出力制御手段とを含み、
前記半導体集積回路装置の外部からの制御信号および外部クロック信号に応じて、前記内部記憶手段の動作テストを行なう内部テスト制御手段をさらに備え、
前記内部テスト制御手段は、
前記内部アドレスを順次変化させつつ、対応する前記メモリセルへの所定データの書込および読出の結果に応じて、前記メモリセルの良／不良を判定し、前記半導体集積回路装置の外部の記憶装置に対して、前記判定結果に応じて前記内部アドレス信号と前記記憶装置への書込制御信号とを出力する、半導体集積回路装置。
【請求項2】 前記内部テスト制御手段は、
前記内部記憶手段の動作テストを制御する制御論理信号生成手段と、
前記所定データのパターンを保持するテストパターン格納手段と、
前記動作テストのタイミングを制御するための内部クロックを生成するタイミング生成手段と、
前記内部記憶手段からの読み出しデータと期待値との比較結果に対応する判定データを出力する判定手段と、
前記判定データに応じて、前記記憶装置に対する内部アドレス信号および前記判定データの書き込み動作を制御する外部記憶制御手段とを含む、請求項1記載の半導体集積回路装置。
【請求項3】 外部からの制御信号および外部クロック信号を受ける信号受信手段と、
前記信号受信手段からの信号を受けるテスト対象の半導体集積回路装置と、
前記半導体集積回路装置に制御されて、前記半導体集積回路装置からのデータを保持する記憶装置とを備え、
前記半導体集積回路装置は、
内部データ記憶手段を含み、
前記内部データ記憶手段は、
各々がデータを保持する行列状に配列された複数のメモリセルを含むメモリセルアレイと、
内部アドレス信号に応じて選択されたメモリセルとの間で、記憶データの授受を行なうデータ入出力制御手段とを有し、
前記信号受信手段からの制御信号および外部クロック信号に応じて、前記内部記憶手段の動作テストを行なう内部テスト制御手段をさらに含み、
前記内部テスト制御手段は、

前記内部アドレスを順次変化させつつ、対応する前記メモリセルへの所定データの書込および読出の結果に応じて、前記メモリセルの良／不良を判定し、前記判定結果に応じて、前記内部アドレス信号と前記記憶装置への書込制御信号とを前記記憶装置に対して出力する、テスト装置。

- 【請求項4】 内蔵する内部メモリに対する組込自己テスト機能を有する半導体集積回路装置のテスト方法であって、
10 外部記憶装置の所定のアドレス領域のデータを第1の値に設定するステップと、
前記半導体集積回路装置に対して、前記組込自己テストの開始を指示するステップと、
前記半導体集積回路装置に前記組込自己テストを行わせ、前記内部メモリ中のビットの良／不良の判定結果に応じて、前記外部記憶装置の対応するアドレスのデータを前記第1の値と異なる第2の値に書換えるステップと、
前記外部記憶装置中に保持されたデータを解析し、前記内部メモリ中の不良ビットの分布を解析するステップとを備える、テスト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、内蔵メモリの自己テスト機能を有する半導体集積回路装置、そのテスト装置およびそのテスト方法に関する。

【0002】

【従来の技術】図9は、従来の内蔵メモリテスト機能を搭載したメモリデバイス11-10に対するテストシステム2000の構成を示す概略ブロック図である。

- 【0003】内蔵メモリテスト機能搭載メモリデバイス1110は、内蔵するメモリに対する組込自己テスト（BIST: Built-in self test）を行なうBIST回路（図示せず）を搭載している。

【0004】テスト治具1100上にこの内蔵メモリテスト機能搭載メモリデバイス1110が装着され、汎用テスト100から外部クロック信号ext. CLKと、メモリデバイス1110の動作を制御するための制御信号Scとが供給される。

- 【0005】たとえば、汎用テスト100から、BIST動作を開始することを指示する制御信号が与えられると、メモリデバイス1110は、外部クロック信号ext. CLKに同期して動作しつつ、自己の搭載する内蔵メモリにテストデータを書込み、その後内蔵メモリから読出されたデータと、テスト結果に対する期待値とを比較して、内蔵メモリの良／否判定結果の情報FSを、汎用テスト100に対して与える。

- 【0006】このようなテストを行なうことで、メモリデバイス1110に対してテストを行なう外部の汎用テストが行なうべき動作は、メモリデバイス1110に対

して組込自己テストの開始を指示する信号Scの発生および外部クロック信号ext. CLKの供給、ならびに一定時間後チップから出力される良/否判定情報に基づいて、チップの良否を最終的に判定することのみとなる。

【0007】すなわち、汎用テスト100の負荷が大幅に軽減されるという特徴を有する。

【0008】

【発明が解決しようとする課題】しかしながら、上述したような従来のテストシステム2000の構成では、以下に述べるような問題点があった。

【0009】すなわち、まずメモリデバイス1110から出力される情報は、組込自己テストに対する良/否判定情報FSであるため、この情報のみでは、たとえば内蔵メモリ中に存在する不良アドレスの分布を解析して、その不良アドレスが生成された工程を推定するといった不良アドレスの解析動作を行なうことが困難である。

【0010】さらに、メモリデバイス1110から出力される情報が、良/否判定情報FSのみでは、内蔵メモリ中の不良アドレスに対応するビットを、冗長ビットと置換するための冗長解析を行なうことが困難である。

【0011】しかも、メモリデバイス1110に内蔵されたメモリの不良アドレスを外部に転送する構成とするにしても、内蔵メモリテスト機能搭載メモリデバイス1110に対して不良アドレス情報の解析や冗長解析を行なうためには、このメモリデバイス1110専用のテストプログラムを作成することが必要である。

【0012】しかも、一般に、内蔵メモリテスト機能搭載メモリデバイス1110の内蔵メモリの試験速度は、汎用のテストの動作速度に比べて大きいため、汎用テストによってはテスト動作を行なうことが困難、あるいは十分な動作マージンを持ったテスト動作を行なうことが困難であるという問題点があった。

【0013】この発明は、上記のような問題点を解決するためになされたものであって、その目的は、汎用のメモリテスト装置を用いることで、組込自己テスト機能を内蔵したメモリデバイスを、低コストかつ効率よく不良アドレス解析および救済解析を行なうことが可能な半導体集積回路装置、テスト装置ならびにテスト方法を提供することである。

【0014】

【課題を解決するための手段】請求項1記載の半導体記憶装置は、内部データ記憶手段を備え、内部データ記憶手段は、各々がデータを保持する行列状に配列された複数のメモリセルを含むメモリセルアレイと、内部アドレス信号に応じて選択されたメモリセルとの間で、記憶データの授受を行なうデータ入出力制御手段とを含み、半導体集積回路装置の外部からの制御信号および外部クロック信号に応じて、内部記憶手段の動作テストを行なう内部テスト制御手段をさらに備え、内部テスト制御手段

は、内部アドレスを順次変化させつつ、対応するメモリセルへの所定データの書込および読出の結果に応じて、メモリセルの良/不良を判定し、半導体集積回路装置の外部の記憶装置に対して、判定結果に応じて内部アドレス信号と記憶装置への書込制御信号とを出力する。

【0015】請求項2記載の半導体集積回路装置は、請求項1記載の半導体集積回路装置の構成において、内部テスト制御手段は、内部記憶手段の動作テストを制御する制御論理信号生成手段と、所定データのパターンを保持するテストパターン格納手段と、動作テストのタイミングを制御するための内部クロックを生成するタイミング生成手段と、内部記憶手段からの読み出しデータと期待値との比較結果に対応する判定データを出力する判定手段と、判定データに応じて、記憶装置に対する内部アドレス信号および判定データの書き込み動作を制御する外部記憶制御手段とを含む。

【0016】請求項3記載のテスト装置は、外部からの制御信号および外部クロック信号を受ける信号受信手段と、信号受信手段からの信号を受けるテスト対象の半導体集積回路装置と、半導体集積回路装置に制御されて、半導体集積回路装置からのデータを保持する記憶装置とを備え、半導体集積回路装置は、内部データ記憶手段を含み、内部データ記憶手段は、各々がデータを保持する行列状に配列された複数のメモリセルを含むメモリセルアレイと、内部アドレス信号に応じて選択されたメモリセルとの間で、記憶データの授受を行なうデータ入出力制御手段とを有し、信号受信手段からの制御信号および外部クロック信号に応じて、内部記憶手段の動作テストを行なう内部テスト制御手段をさらに含み、内部テスト制御手段は、内部アドレスを順次変化させつつ、対応するメモリセルへの所定データの書込および読出の結果に応じて、メモリセルの良/不良を判定し、判定結果に応じて、内部アドレス信号と記憶装置への書込制御信号とを記憶装置に対して出力する。

【0017】請求項4記載のテスト方法は、内蔵する内部メモリに対する組込自己テスト機能を有する半導体集積回路装置のテスト方法であって、外部記憶装置の所定のアドレス領域のデータを第1の値に設定するステップと、半導体集積回路装置に対して、組込自己テストの開始を指示するステップと、半導体集積回路装置に組込自己テストを行わせ、内部メモリ中のビットの良/不良の判定結果に応じて、外部記憶装置の対応するアドレスのデータを第1の値と異なる第2の値に書換えるステップと、外部記憶装置中に保持されたデータを解析し、内部メモリ中の不良ビットの分布を解析するステップとを備える。

【0018】

【発明の実施の形態】図1は、本発明の実施の形態のメモリテストシステム1000の構成を示す概略ブロック図である。

【0019】メモリテストシステム1000は、汎用テスト100と、汎用テストによりテストされるデバイスを搭載するためのテスト治具200と、汎用テスト100からテスト治具200に対して外部クロック信号ext、CLKおよび制御信号Scを与えるためのデータバス18と、テスト治具200への制御信号Scrと、アドレス信号Addと、入出力データDiを伝達するデータバス20を含む。

【0020】テスト治具200は、さらに、データバス18からの外部クロック信号ext、CLKおよび制御信号Scを受ける入力端子22と、入力端子22からの信号を受ける被テストデバイスである、内蔵メモリの自己テスト機能を有する半導体集積回路装置10と、半導体集積回路装置10から出力される制御信号Scwと、アドレス信号Addと、書込データDiとを受けて、対応するアドレス中にデータDiを格納保持する外部メモリ16と、外部メモリ16の入出力端子28との間でデータをデータバス20が授受するための入出力端子30を含む。

【0021】半導体集積回路装置10は、入出力端子22からの外部クロック信号ext、CLKおよび制御信号Scを受ける入出力端子24と、入出力端子24からの信号に応じて、自己テスト動作を制御する内蔵メモリテスト回路12と、所定の記憶容量を有する内蔵メモリ14と、内蔵メモリテスト回路から出力される制御信号Scw、アドレス信号Addおよび書込データDiを出力する入出力端子26を含む。

【0022】汎用テスト100から出力される制御信号Scにより、半導体集積回路装置10において、内蔵メモリの組込自己テストの開始が指示され、汎用テスト100から供給される外部クロック信号ext、CLKに同期して、内蔵メモリ14の組込自己テストが行なわれる。ライトメモリ14の組込自己テストの結果は、内蔵メモリテスト回路12から出力される制御信号Scwにより制御される外部メモリ16の内蔵メモリ14のアドレスと対応するアドレスに、所定の書込データDiが書込まれることにより外部メモリ16中に蓄積される。

【0023】外部メモリ16に蓄積されたデータは、汎用テスト100からの制御信号Scrおよびアドレス信号Addに応じて、外部メモリ16から汎用テスト100に対して、データDiが読出されることにより、汎用テスト100中に取込まれる。

【0024】図2は、図1に示した内蔵メモリの組込自己テスト機能を有する半導体集積回路装置10の構成をより詳細に説明するための概略ブロック図である。

【0025】内蔵メモリテスト回路12は、汎用テストからの外部クロック信号ext、CLKおよび制御信号Scとを受けて、内蔵メモリ14に対するテストデータの書込および読出動作を制御する内蔵メモリテストコントローラ122と、内蔵メモリから読出されたデータお

よび内蔵メモリに対して書込まれた期待値との比較を行なうデータ判定部132と、データ判定が行なわれた内部アドレスに対応するアドレス信号Addと、データ判定部から出力される一度に読出動作が行なわれる複数のデータ信号別の判定結果情報信号FQ1~FQnと、一度に読出動作が行なわれる複数のデータ信号Di(=D1~Dn)について、読出データと期待値とが一致したか否かを表わす良/否判定情報FSとを受けて、外部メモリ16に対して、書込制御信号、アドレス信号および書込データ信号を出力する外部メモリコントローラ134を含む。

【0026】内蔵メモリテストコントローラ122は、外部クロック信号ext、CLKおよび制御信号Scを受けて、内蔵メモリのテスト動作を制御するテスト制御ロジック回路124と、テスト制御ロジック回路124に制御されて、保持しているメモリテストパターンを出力するメモリテストパターン格納レジスタ128と、テスト制御ロジック回路124に制御されて、内部クロック信号int、CLKを出力するタイミング発生器126と、メモリテストパターンおよび内部クロック信号int、CLKに応じて、内蔵メモリをテストする信号、すなわち内蔵メモリへの制御信号Scw、アドレス信号Addおよび書込データ信号Diを出力する内蔵メモリテスト信号発生器130を含む。内蔵メモリテスト信号発生器130は、内蔵メモリ14へのデータ書込後に、内蔵メモリ14を制御して、書込まれたテストパターンに対応するデータ信号を読出し、かつデータ判定部132を制御して、このデータ判定部132に与える期待値と、読出されたデータ信号Diとの比較動作を行な

【0027】内蔵メモリ14は、制御信号Scw、アドレス信号Addに応じて、内蔵メモリ14の書込または読出動作を制御する制御回路142と、データの保持を行なうメモリセルが行列状に配列されたメモリセルアレイ148と、制御回路142に制御されて、メモリセルアレイ中の対応する行の選択を行なう行選択回路144と、制御回路142に制御されて、メモリセルアレイの対応する列から選択し、データの読出動作を行なう列選択回路146と、列選択回路146から読出されたデータを外部に出力し、または外部から与えられたデータを、列選択回路146に与える入出力回路150を含む。

【0028】メモリセルアレイ148は、不良ビットが含まれるメモリセル列と置換するための冗長メモリセル列(図示せず)を含む。

【0029】図3は、テスト制御ロジック回路124は、外部より内蔵メモリテスト開始を指示する制御信号Scを受けると、タイミング発生器126の動作とメモリパターン格納レジスタからのパターン読出動作とを開始させる。内蔵メモリテスト信号発生器130は、入力

されたタイミング信号 int 、 CLK とテストパターンデータとに基づいて、内蔵メモリをテストするための諸信号を生成する。

【0030】たとえば、内蔵メモリがダイナミック型ランダムアクセスメモリ（以下、DRAM）である場合は、動作制御信号として、行アドレスストロブ信号 RAS 、列アドレスストロブ信号 CAS 等に等価な信号を、内蔵メモリ14がスタティック型ランダムアクセスメモリ（以下、SRAM）である場合は、チップセレクト信号 CS 等に等価な信号を、それぞれ内蔵メモリ14

のインターフェイスの仕様に合せて生成する。

【0031】図3は、図2に示した半導体集積回路装置10における内蔵メモリ14へのテストデータの書込動作を説明するためのタイミングチャートである。

【0032】すなわち、図3においては、外部からの内蔵メモリテスト開始信号が発生してから、内蔵メモリ14へのデータ書込を行なうまでの信号の遷移が表わされている。

【0033】図3を参照して、内蔵メモリコントローラ122は、時刻 t_1 において、汎用テスト100より内蔵メモリテストスタート信号が発生されると、これに応じて時刻 t_2 において、タイミング発生器126から内部クロック信号 int 、 CLK の出力を開始させる。

【0034】さらに、内蔵メモリテストコントローラ122は、所定時間経過後の時刻 t_3 において、内蔵メモリに対して、リセット信号を出力する。内蔵メモリは、このリセット信号に応じて、内部のレジスタや動作モードを所定の状態とする。

【0035】さらに所定の時間経過後の時刻 t_4 において、内蔵メモリテストコントローラ122は、メモリテストパターン格納レジスタ128に登録されているパターンデータに基づいて、内蔵メモリ14に対して、制御信号 Scw 、アドレス信号 $A0$ 、データ信号 $D0$ 等を出力し、内蔵メモリへデータ書込を行なう。さらに、時刻 t_7 において、アドレスの番地を更新したアドレス信号 $A1$ を出力し、内蔵メモリ14に対してデータ $D1$ の書込を行なう。

【0036】図4は、図2に示したデータ判定部132および外部メモリコントローラ134の構成をより詳細に説明するための概略ブロック図である。

【0037】データ判定部132は、内蔵メモリテスト信号発生器130から出力されるストロブ信号に

出データ Di と、期待値 EVi ($i=1\sim n$) とが一致する場合は、“H”レベルのデータを、一致しない場合には“L”レベルのデータをそれぞれ出力する。

【0039】論理ゲート1328は、比較器1322～1326からの出力信号のうち、いずれか1つでも“L”レベルである場合は、“H”レベルとなる、良／否判定情報 FS を出力する。

【0040】外部メモリコントローラ134は、内蔵メモリ14に対するデータ読出時に与えられるアドレス信号 Add を受けて保持するアドレスラッチ1342と、比較器1322～1326からそれぞれ出力されるデータ判定情報 $FQ1\sim FQn$ を受けて、保持するデータラッチ1344と、良／否判定情報 FS を受けて、外部メモリへのデータの書込動作を制御する信号を出力する外部メモリデータライト制御信号発生部1346と、外部メモリとのインターフェイス1348とを含む。

【0041】データラッチ1344およびアドレスラッチ1342は、良／否判定情報 FS により制御されて、信号 FS が活性状態（“H”レベル）となったときのみ、対応するデータの保持動作を行なうものとする。

【0042】また、外部メモリデータライト制御信号発生部1346は、信号 FS が活性状態となることに応じて、外部メモリとのインターフェイス1348を制御して、外部メモリに対する書込制御信号と、外部メモリに対する書込データ信号としてデータ判定情報 $FQ1\sim FQn$ と、アドレスラッチ1342に保持されるアドレス信号 Add を、外部メモリに対するアドレス信号として出力させる。

【0043】すなわち、データ判定部132は、内蔵メモリコントローラ122が、組込自己テスト期間中にいて、内蔵メモリ14のデータリードサイクルに入ったときに、内蔵メモリ14から読出されたデータを、内蔵メモリテストコントローラ122から出力される期待値との比較動作を行なう。外部メモリコントローラ134は、データ判定の結果、否判定がなされた場合に、その読出が行なわれたアドレス、および読出されたデータ情報を外部メモリへ転送させる動作を行なうことになる。

【0044】図5は、図2および図4に示したメモリテストコントローラ122、データ判定部132および外部メモリコントローラ134の、組込自己テストにおけるリードサイクルの動作を説明するためのタイミングチャートである。

【0045】時刻 t_0 において、内蔵メモリテストコントローラ122は、内蔵メモリ14に対して、内部読出動作を指示する内蔵メモリ動作制御信号と、読出動作を行なうアドレス $A0$ を指定するアドレス信号とを出力する。

【0046】これに応じて、内蔵メモリ14からは、時刻 t_1 から時刻 t_2 までの期間において、読出データ $R0$ が出力される。ここで、読出データ $R0$ は、一度に内

蔵メモリ14から出力されるデータD1～Dnを総称しているものとする。

【0047】一方、内蔵メモリテストコントローラ122中の内蔵メモリテスト信号発生器130は、時刻t1～時刻t2の期間中において、比較器1322～1326のそれぞれに対して、期待値データE0を出力する。ここで、期待値データE0は、一度に読出が行なわれるデータD1～Dnのそれぞれに対応して出力される期待値データEV1～EVnを総称しているものとする。

【0048】時刻t2から時刻t3までの期間の所定の時刻において、内蔵メモリテスト信号発生器130から、活性状態のストロブ信号が出力される。これに応じて、比較器1322から1326において、期待値と読出データとの間の比較動作が行なわれ、その結果、比較器から信号FQ1～FQnが出力される。

【0049】図5に示した例においては、データラインの1および2から出力される読出データと、期待値データとが一致せず、比較器1322および比較器1324から出力される出力データFQ1およびFQ2が“L”レベルとなり、それ以外の比較器出力のFQ3～FQnはすべて“H”レベルであるものとする。

【0050】信号FQ1および信号FQ2が、“L”レベルであることに応じて、論理ゲート1328から出力される良／否判定情報FSは“H”レベルへと変化する。

【0051】これに応じて、アドレスラッチ1342には、アドレス信号A0が保持され、データラッチ1344には、データ判定情報FQ1～FQnがそれぞれ保持されることになる。

【0052】後に説明するように、このデータラッチ1344およびアドレスラッチ1342に保持されたデータは、外部メモリデータライト制御信号発生部1346に制御されて、外部メモリ16へと出力される。

【0053】続いて、時刻t7において、再び、内蔵メモリテスト信号発生器130は、内蔵メモリ14に対して、読出動作を指示する内蔵メモリ動作制御信号と、更新されたアドレス番地A1に対応するアドレス信号とを出力する。

【0054】時刻t8から時刻t9までの所定の時刻において、内蔵メモリ14からは読出データR1が出力され、内蔵メモリテスト信号発生器130からは、データ判定部1322に対して、期待値信号E1がそれぞれ出力される。

【0055】時刻t9から時刻t10までの期間の所定の時刻において、内蔵メモリテスト信号発生器140から、活性状態のストロブ信号が出力され、これに応じて、比較器1322～1326から、信号FQ1～FQnがそれぞれ出力される。

【0056】図5に示した例においては、この時刻t9から時刻t10の期間における比較器出力は、いずれも

“H”レベルであるものとする。言換えると、読出データR1と期待値データE1とはすべてのデータについて一致しているものとする。

【0057】このとき、論理ゲート1328から出力される良／否判定情報FSは“L”レベルとなる。

【0058】したがって、アドレスラッチおよびデータラッチのいずれも活性状態とはされないことになる。

【0059】図6は、図5に示した組込自己テストのリードサイクル中において、外部メモリコントローラ134から、外部メモリに対して出力される信号の時間変化を示すタイミングチャートである。

【0060】時刻t2～時刻t3の期間において、良否判定情報FSが“H”レベルとなることに応じて、外部メモリデータライト制御信号発生部1346の制御に従って、外部メモリ用インターフェイス1348から外部メモリ16に対して、書込動作を制御する書込制御信号が出力される。

【0061】一方、アドレスラッチ1342に保持された不良ビットに対応するアドレス信号A0は、外部メモリ16に対して出力される。

【0062】このとき、外部メモリ用インターフェイス1348からは、データラッチ1344中に保持されたデータ判定情報FQ1～FQnも外部メモリ16に対して出力される。

【0063】すなわち、外部メモリ16には、内蔵メモリ14の不良アドレスが存在するアドレスと対応するアドレスについて、データ判定情報が書込まれることになる。

【0064】これに対して、時刻t9～時刻t10の期間において、内蔵メモリテスト信号発生器130から、活性なストロブ信号が出力された時点では、良／否判定情報FSは不活性状態（“L”レベル）であるため、外部メモリコントローラ134からは、外部メモリ16に対して、書込動作を指示する書込制御信号も外部メモリへの書込アドレス信号も出力されない。

【0065】このため、組込自己テストにおいて、不良が見出されなかったアドレスについては、外部メモリ16に対してはデータ判定情報の書込は行なわれないことになる。

【0066】以上説明したような、外部メモリ16としては、汎用のSRAMや、不揮発性メモリが、データの回復動作を行なうことが不要であるため組込自己テストの結果を保持しておくには適している。さらに、これらの外部メモリのコントローラ134は通常の汎用SRAMや汎用不揮発性メモリに対して用いられているメモリコントローラと同様の構成でよく、その設計を行なうことは容易である。

【0067】また、外部メモリ用インターフェイス1348は、内部にタイミング生成器（図示せず）を内蔵しており、外部メモリコントローラ134中のアドレスラ

11

ッチ1342、データラッチ1344および外部メモリデータライト制御信号発生部1346が出力する論理情報に基づいて、外部メモリが直接受取ることが可能なレベルの信号を生成する。

【0068】外部メモリ16は、以上説明したように、内蔵メモリ14の不良アドレス情報を格納するためのものであり、内蔵メモリ14の不良アドレス番地と同一アドレス番地へ内部メモリ14の対応するI/Oごとの不良情報が蓄えられる構成となっている。

【0069】したがって、外部メモリの容量およびI/O数は、内部メモリ14のものと同等か、またはそれ以上のものが好ましい。

【0070】外部メモリ16の容量およびI/O数が内蔵メモリ14のそれらよりも小さい場合は、内蔵メモリテスト時にアドレスおよびI/Oの縮退を行なうことで、不良情報の採取および格納が可能である。

【0071】たとえば、内蔵メモリ14において、冗長メモリセル列と正規メモリセル列との置換動作が、一度に読出が行なわれるビット数(I/O数)に対応する列の数を1つのブロックとしてブロック置換が行なわれるのであれば、アドレスおよびI/Oの縮退を行なっても、内蔵メモリ14の冗長メモリへの救済動作をそのまま行なうことが可能である。

【0072】図7は、半導体集積回路装置10として、内蔵メモリ自己テスト機能を搭載するデバイス10に対して、その内蔵メモリと同様のI/O数および同様の容量を有する外部メモリSRAMならびに汎用メモリテスト100を接続した場合の構成を示す概念図である。

【0.0.7.3】図7においては、内蔵メモリ14は、たとえば、64ビットの容量を有し、データのI/O数(データの出入口の数)が4個の場合が示されている。したがって、SRAM16も、同一の容量で、I/O数も同じ4ビットの汎用SRAMが用いられている。メモリデバイスのチップセレクト信号、書込制御信号WEおよびアドレス信号A0~A5、データ出力端子I/O0~I/O3は、それぞれSRAM16の対応する入出力ピンへ接続されている。

【0074】一方、外部メモリ16の各ピンは、さらに汎用テストのテスト用端子に接続されている。

【0075】すなわち、汎用メモリテスト100の制御信号は、外部メモリ16のチップセレクト信号および書込制御信号等の入出力ピンに接続され、汎用メモリテスト100のアドレス信号は、外部メモリ16のアドレスピンに接続され、汎用メモリテスト100のデータリード/ライト端子は、外部メモリ16のデータ入出力端子I/O0~I/O3にそれぞれ接続されている。

【0076】図8は、図1に示したテストシステム1000の動作を説明するためのフローチャートである。

【0077】汎用テスト100による半導体集積回路装置10に対するテストが開始されると(ステップS10

12

0)、まず外部メモリ16中に保持されているデータのリセット動作が行なわれる(ステップS102)。

【0078】すなわち、後に説明するように、内蔵メモリ14中のあるアドレスに対応するビットデータが不良と判定された場合に、内部メモリへ書込まれるデータの論理値とは逆の論理値を、予め汎用テストにより、外部メモリのすべてのアドレスに書込んでおく。続いて、汎用テスト100から、半導体集積回路装置10に対して、内蔵メモリテストの開始を指示する制御信号が出力される(ステップS104)。

【0079】この時点で、汎用テストと外部記憶装置とは電気的には、一時的に切離した状態とされる(ステップS106)。

【0080】続いて、半導体集積回路装置10中の内蔵メモリテスト回路12は、内蔵メモリをテストするための内部アドレスの生成と、内蔵メモリ14に対する内部テストデータの書込を行なう(ステップS108)。

【0081】続いて、内蔵メモリテスト回路12は、内蔵メモリ14からのデータの読出および期待値との比較動作を行なう(ステップS110)。

【0082】続いて、内蔵メモリテスト回路12は、読出を行なったアドレス中に不良ビットが存在するか否かの判定を行なう(ステップ112)。

【0083】不良ビットが存在する場合(ステップS112)、内蔵メモリテスト回路12は、外部メモリ16に対して、不良アドレスおよび書込データ(データ判定情報)と書込制御信号を出力し(ステップS118)、ステップS110へ処理を復帰させる。

【0.0.8.4】一方、内蔵メモリテスト回路12が不良ビットが存在しないと判断した場合(ステップS112)、続いて、内蔵メモリテスト回路は、内蔵メモリテストが終了したか否かの判断を行なう(ステップS114)。内蔵メモリテストが終了していない場合は、処理がステップS110に復帰する。

【0085】一方、内蔵メモリテストが終了した場合は、それに応じて、汎用テスト100は、外部メモリ16中に保持されているデータを解析することで、内蔵メモリ14中の不良アドレスの情報を抽出するとともに、内蔵メモリ14に対する冗長回路解析や不良アドレス解析を行なう。

【0086】以上でテスト動作が終了する(ステップS120)。外部メモリ16へは、予め内蔵メモリ14中に不良ビットが存在すると判定する場合に書込まれるデータとは逆の論理値のデータが書込まれており、かつ、メモリ自己テスト機能搭載の半導体集積回路装置10の外部メモリコントローラ134は、不良ビットが存在すると判定されない限り、外部メモリ16へはデータの書込動作を行なわない。このため、不良ビットが存在するアドレスについての外部メモリ16中のデータのみが反転した値となっていることになる。

【0087】すなわち、内蔵メモリテストが終了した段階で、外部メモリ16中には、内蔵メモリ14の不良アドレスがマッピングされた状態となっている。

【0088】このような構成とすることで、内蔵メモリ14中の不良アドレス情報を、汎用メモリで構成される外部メモリ16中に対する読出動作を用いることで、間接的に汎用テスト100により読出すことが可能である。

【0089】すなわち、汎用テスト100により、汎用メモリからのデータの読出動作を行なうことになるが、これは、従来のメモリテストパターンやプログラムを流用することが可能であり、かつ読出速度は、内蔵メモリ14の試験速度とは無関係に十分なマージンを確保して行なうことが可能である。

【0090】したがって、正確で、かつテストに搭載されたアドレス不良メモリ等の取込速度や救済解析装置の速度に合せた、無駄のないデータ転送が可能である。

【0091】したがって、内蔵メモリ14の不良アドレス解析、救済解析に関し、既存のテスト手段を利用した安価かつ効率のよい解析を実現することが可能となる。

【0092】

【発明の効果】請求項1および2記載の本願発明は、内部テスト制御手段により、内部データ記憶手段の動作テストを行なった結果を、外部の記憶装置の対応するアドレスに判定結果を書込むことが可能であるため、この半導体集積回路装置のテストにおいては、外部の記憶装置のテスト仕様に対応するテスト装置を用いることが可能で、安価かつ効率のよいテストを行なうことが可能となる。

【0093】請求項2記載のテスト装置は、組込自己テスト機能を有する半導体集積回路装置のテストにおいて、内部テスト制御手段により内部データ記憶手段の動作テストを行なった結果を、テスト装置内の記憶装置の対応するアドレスに書込むことが可能なため、この記憶装置のテスト仕様に対応する外部テスト装置を用いることが可能で、安価かつ効率のよいテストを行なうことができる。

【0094】請求項3記載のテスト方法においては、半導体集積回路装置中の内部メモリのテスト結果が、外部記憶装置の対応するアドレスのデータが書換えられることで、外部記憶装置中にマッピングすることが可能であ

る。このため、外部記憶装置の読出および書込の仕様に合せた動作速度等で、半導体集積回路装置のテストを行なうことが可能で、安価かつ効率のよい不良アドレス解析、救済解析を行なうことが可能である。

【図面の簡単な説明】

【図1】 本発明の実施の形態のテストシステム1000の構成を示す概略ブロック図である。

【図2】 図1に示した内蔵メモリテスト機能を有する半導体集積回路装置10の構成を説明するための概略ブロック図である。

【図3】 半導体集積回路装置10の内蔵メモリテスト動作における書込動作を説明するためのタイミングチャートである。

【図4】 半導体集積回路装置10のデータ判定部132および外部メモリコントローラ134の構成を説明するための概略ブロック図である。

【図5】 半導体集積回路装置10の内蔵メモリ自己テスト中の読出動作を説明するためのタイミングチャートである。

【図6】 半導体集積回路装置10の内蔵メモリ自己テスト期間中における外部メモリ16への書込動作を説明するためのタイミングチャートである。

【図7】 図1に示したテストシステム1000を汎用メモリSRAMを構成した場合の概略ブロック図である。

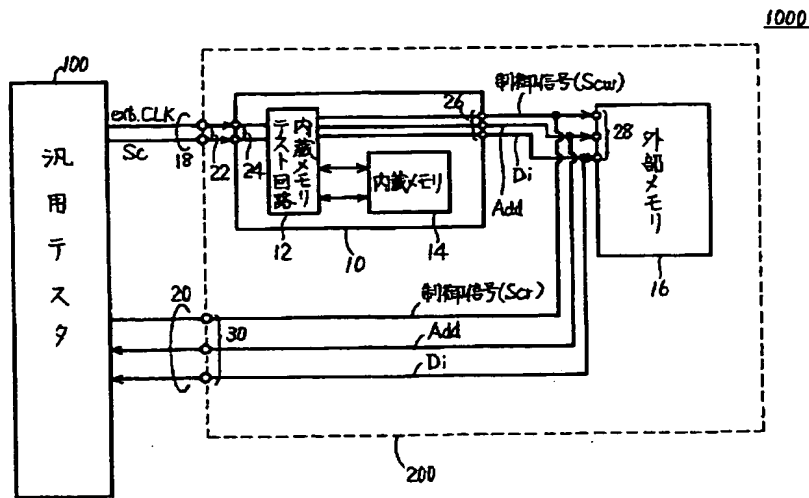
【図8】 本発明のテスト方法の処理の流れを示すフローチャートである。

【図9】 従来のテストシステム2000の構成を示す概略ブロック図である。

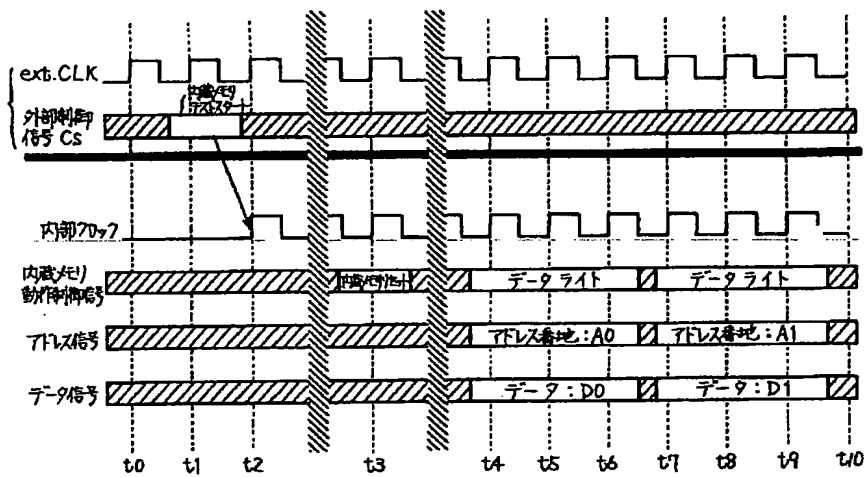
【符号の説明】

10 内蔵メモリ自己テスト機能搭載半導体集積回路装置、12 内蔵メモリテスト回路、14 内蔵メモリ、16 外部メモリ、18、20 データバス、22、24、26、28、30 データ入出力端子、100 汎用テスト、122 内蔵メモリテストコントローラ、124 テスト制御ロジック回路、126 タイミング発生器、128 メモリテストパターン格納レジスタ、130 内蔵メモリテスト信号発生器、132 データ判定部、134 外部メモリコントローラ、142 制御回路、144 行選択回路、146 列選択回路、148 メモリセルアレイ、150 データ入出力回路、200 テスト治具、1000、2000 テストシステム。

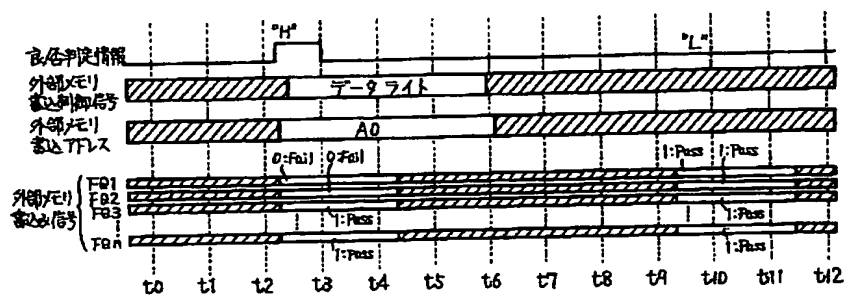
【図1】



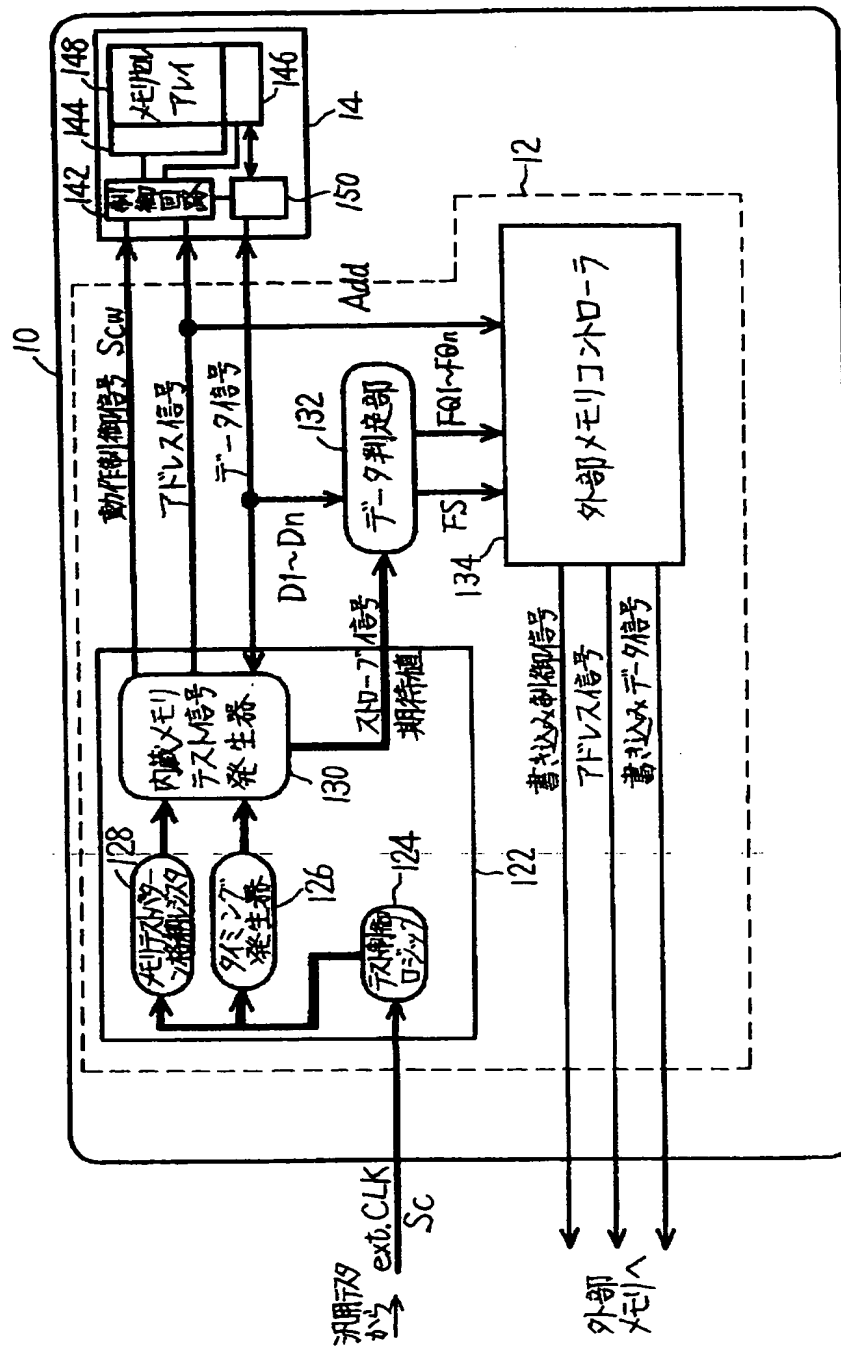
【図3】



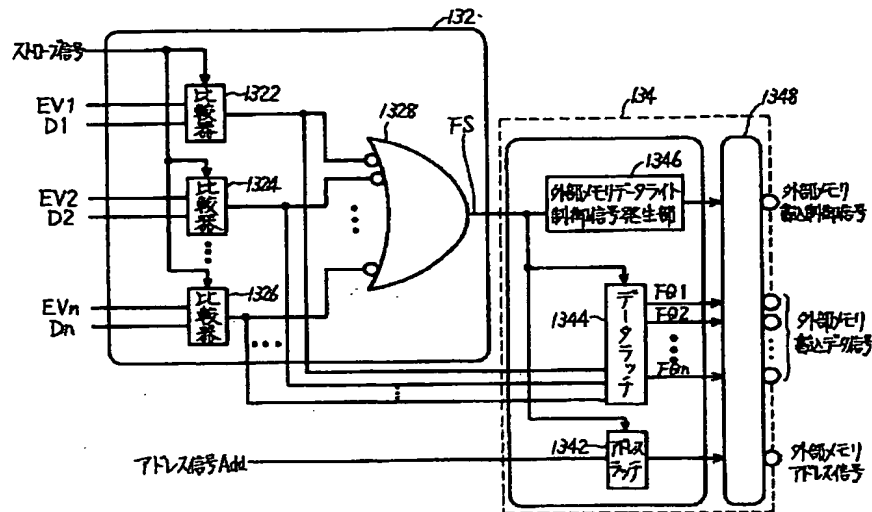
【図6】



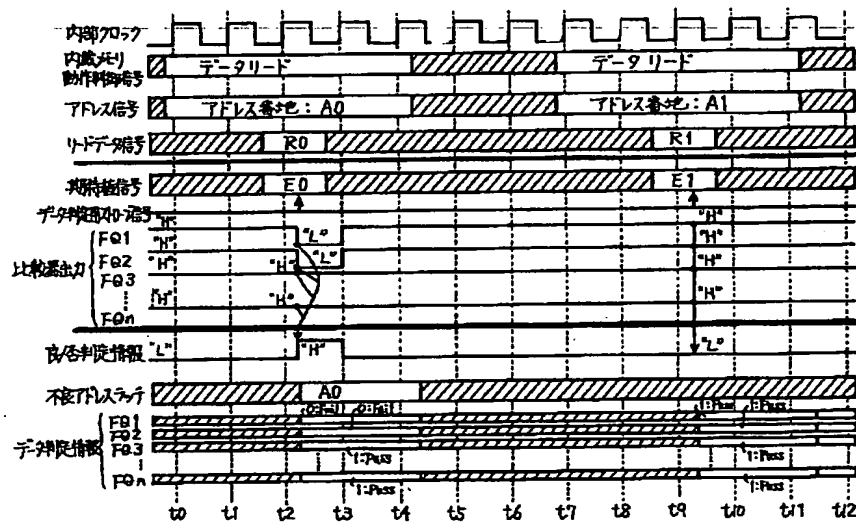
【図2】



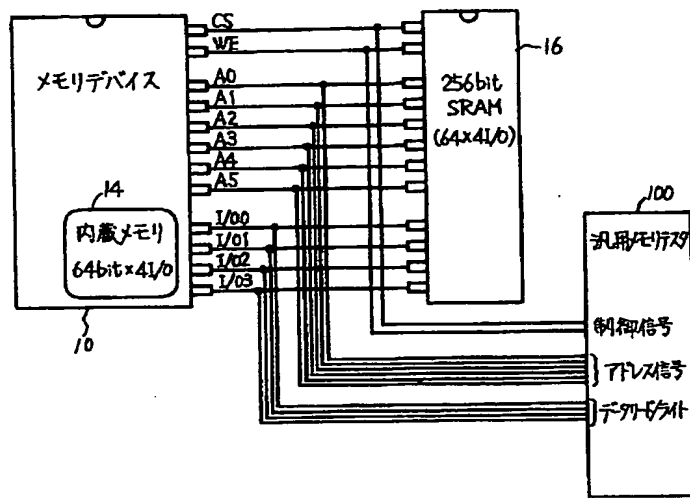
【図 4】



【図 5】

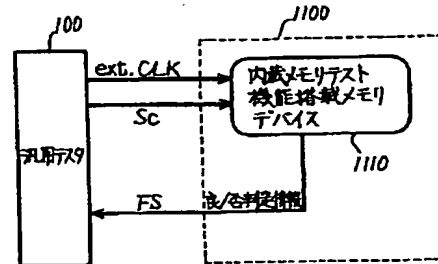


【図7】



【図9】

2000



【図8】

